

## PATENT ABSTRACTS OF JAPAN

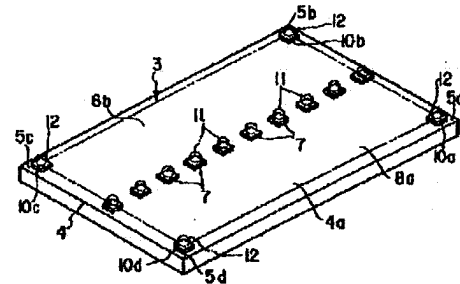
(11) Publication number: **10189653 A**(43) Date of publication of application: **21.07.98**

(51) Int. Cl.

**H01L 21/60**(21) Application number: **08347363**(22) Date of filing: **26.12.96**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **TAKAHASHI KUNIAKI  
MURAKAMI ICHIKOU****(54) SEMICONDUCTOR ELEMENT AND CIRCUIT  
MODULE HAVING THIS SEMICONDUCTOR  
ELEMENT**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To obtain a semiconductor element, which can be easily subjected to flip chip-mounting to a circuit board and is suitable for high-density mounting, although the element is formed into such a constitution that electrodes are arranged on the center part of the element surface, by a method wherein support projections which come into contact with the circuit board are arranged on both sides, which hold the electrodes on the center part of the element surface between them, of the element surface opposing to the circuit board.



**SOLUTION:** A plurality of electrodes 7, which are directly bonded to a circuit board, are arranged in line on the center part of an element surface 4a opposite to the circuit board of a semiconductor element 3. Moreover, at least one support projection 12 which comes into contact with the circuit board is arranged on the element surface 4a in such a way as to position on each of both sides, which hold the electrodes 7 between them, of the element surface 4a. For example, four auxiliary electrodes 10a to 10d, which have the same form and size as those of electrodes 7, are respectively arranged at the four corner parts 5a to 5d of an element surface 4a. With a ball-shaped solder bump 11 formed on each electrode 7, ball-shaped solder bumps 12, which have the same form and size as those of the bumps 11 and are used as support projects, are respectively formed on the electrodes 10a to 10d.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 189653

(43) 公開日 平成 10 年 (1998) 7 月 21 日

(51) Int. Cl.<sup>6</sup>  
H01L 21/60

識別記号  
311

庁内整理番号

F I  
H01L 21/60

311 S

技術表示箇所

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平 8 - 347363

(22) 出願日 平成 8 年 (1996) 12 月 26 日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町 7 2 番地

(72) 発明者 高橋 邦明

東京都青梅市末広町 2 丁目 9 番地 株式会  
社東芝青梅工場内

(72) 発明者 村上 孝皇

東京都青梅市末広町 2 丁目 9 番地 株式会  
社東芝青梅工場内

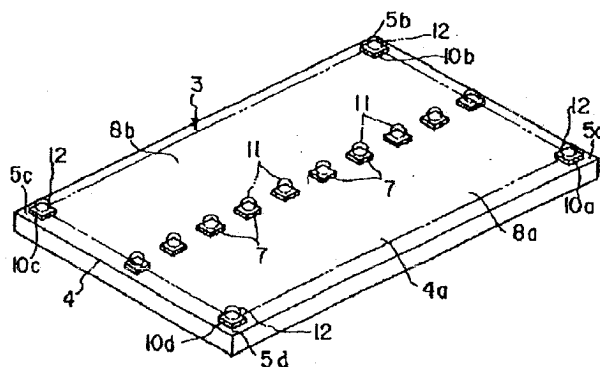
(74) 代理人 弁理士 鈴江 武彦 (外 6 名)

(54) 【発明の名称】 半導体素子およびこの半導体素子を有する回路モジュール

(57) 【要約】

【課題】 本発明は、素子面の中央部に電極を一行に並べて配置した L O C 構造でありながら、回路基板に容易にフリップチップ接続することができ、高密度な実装に適する半導体素子を得ることにある。

【解決手段】 半導体素子 3 は、回路基板 2 と向かい合う素子面 4a を有し、この素子面の中央部に、回路基板に直接接合される複数の電極 7 が一行に並べて配置されている。素子面には、上記電極を挟んだ両側に位置して、上記回路基板に接する少なくとも一つの半田バンプ 12 が配置されている。



## 【特許請求の範囲】

【請求項 1】 回路基板と向かい合う素子面を有し、この素子面の中央部に上記回路基板に直接接合される複数の電極を一行に並べて配置した半導体素子であって、上記素子面に、上記電極を挟んだ両側に位置して、上記回路基板に接する少なくとも一つの支持突起を配置したことを特徴とする半導体素子。

【請求項 2】 請求項 1 の記載において、上記素子面は、四つの角部を有し、これら角部に夫々支持突起が配置されていることを特徴とする半導体素子。

【請求項 3】 請求項 1 の記載において、上記支持突起は、上記素子面を平面的に見た場合に、三角形の頂点に位置するような関係を有して配置されていることを特徴とする半導体素子。

【請求項 4】 請求項 1 の記載において、上記支持突起は、電極としての機能を兼ねていることを特徴とする半導体素子。

【請求項 5】 回路基板と向かい合う素子面を有し、この素子面の中央部に上記回路基板に直接接合される複数の電極を一行に並べて配置した半導体素子であって、上記素子面に、上記電極を挟んだ両側に位置して、少なくとも一つの補助電極を配置し、これら補助電極に上記回路基板に接合されるパンプを形成したことを特徴とする半導体素子。

【請求項 6】 回路基板と；この回路基板に実装され、上記回路基板と向かい合う素子面を有するとともに、この素子面の中央部に上記回路基板に直接接合される複数の電極を一行に並べて配置した半導体素子と；を備えている回路モジュールであって、

上記半導体素子の素子面に、上記電極を挟んだ両側に位置して、上記回路基板に接する少なくとも一つの支持突起を配置したことを特徴とする回路モジュール。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、ベアチップと称する裸の半導体素子およびこの半導体素子を回路基板に実装してなる回路モジュールに関する。

## 【0002】

【従来の技術】 ポータブルコンピュータのような電子機器では、大容量メモリを構成するため、多数の半導体素子を備えている。従来のメモリ用の半導体素子は、回路基板と向かい合う素子面の周辺部に多数の電極が配置されており、これら電極によって囲まれた領域に LSI 回路が配置されている。そして、この半導体素子は、回路基板にフリップチップ接続されている。

【0003】 ところで、この種の半導体素子では、電極によって取り囲まれた領域に LSI 回路が配置されているため、半導体素子を小型化すると、LSI 回路の領域が狭くなる傾向にある。このことから、最近、上記電極を素子面の中央部に一行に並べて配置し、LSI 回路が

配置される領域を増やすようにした、いわゆる LOC (lead on chip) 構造の半導体素子が知られている。

【0004】 LOC 構造の半導体素子は、素子面の周辺部に電極が存在しないために、この半導体素子を回路基板にフリップチップ接続すると、この半導体素子の素子面の周辺部を支えることができなくなり、半導体素子の実装姿勢が不安定なものとなる。したがって、LOC 構造を採用した半導体素子は、上記電極をリードフレームにワイヤーボンディングした後に、全体を封止用樹脂によってモールドし、一つのモジュールとしてパッケージ化することが行なわれている。

【0005】 そして、メモリ用のパッケージとして代表的な SOJ (Small OutlineJ-leaded Package) では、パッケージの両側縁部から複数のリードが突出されており、これらリードが回路基板上のパッドに半田付けされるようになっている。

## 【0006】

【発明が解決しようとする課題】 ところが、LOC 構造のパッケージは、半導体素子を封止用樹脂でモールドしているために、パッケージの形状が半導体素子よりも大きなものとなる。しかも、パッケージの両側縁部から複数のリードが突出しているために、半導体素子の大きさに比べて、パッケージ・サイズが非常に大きなものとなる。

【0007】 したがって、回路基板上でのパッケージの占有面積が増大し、回路基板上の実装密度を高めることができなくなるといった問題がある。本発明は、このような事情にもとづいてなされたもので、素子面の中央部に電極を一行に並べて配置した構成でありながら、回路基板に容易にフリップチップ実装することができ、高密度な実装に好適する半導体素子およびこの半導体素子を有する回路モジュールを得ることにある。

## 【0008】

【課題を解決するための手段】 上記目的を達成するため、請求項 1 に記載された半導体素子は、回路基板と向かい合う素子面を有し、この素子面の中央部に上記回路基板に直接接合される複数の電極を一行に並べて配置するとともに、上記素子面に、上記電極を挟んだ両側に位置して、上記回路基板に接する少なくとも一つの支持突起を配置したことを特徴としている。

【0009】 この構成によれば、電極を挟んだ両側に位置する支持突起が半導体素子を支える一種の柱となるので、半導体素子を回路基板に実装した際に、この半導体素子の姿勢が安定する。そのため、半導体素子を回路基板に容易にフリップチップ接続することができ、高密度な実装を実現できる。

【0010】 請求項 2 によれば、上記請求項 1 に記載された素子面は、四つの角部を有し、これら角部に夫々支持突起が配置されている。この構成によると、半導体素子は、素子面の四つの角部において回路基板に支持され

るので、半導体素子を回路基板に実装した際の姿勢がより安定する。

【0011】請求項3によれば、上記請求項1に記載された支持突起は、上記素子面を平面的に見た場合に、三角形の頂点に位置するような関係を有して配置されている。この構成によると、半導体素子は、電極の周囲の三点で回路基板に支持されるので、半導体素子を回路基板に実装した際の姿勢が安定する。

【0012】請求項4によれば、上記請求項1に記載された支持突起は、電極としての機能を兼ねている。この構成によると、素子面に配置される電極の数が増すので、素子面の中央部に配置される電極の配置間隔を広げることができ、回路基板への位置決めおよび実装を容易に行なうことができる。

【0013】上記目的を達成するため、請求項5に記載された半導体素子は、回路基板と向かい合う素子面を有し、この素子面の中央部に上記回路基板に直接接合される複数の電極を一行に並べて配置するとともに、上記素子面に、上記電極を挟んだ両側に位置して、少なくとも一つの補助電極を配置し、これら補助電極に上記回路基板に接合されるバンプを形成したことを特徴としている。

【0014】この構成によれば、素子面に補助電極を配置することで、この補助電極に半導体素子を支える柱となるバンプを形成することができる。このため、半導体素子を回路基板に実装した際に、この半導体素子の姿勢が安定し、素子面の中央部に電極を一行に並べた、いわゆるLOC構造を採用するにも拘らず、この半導体素子を回路基板に容易にフリップチップ接続することができる。

【0015】上記目的を達成するため、請求項6に記載された回路モジュールは、回路基板と；この回路基板に実装され、上記回路基板と向かい合う素子面を有するとともに、この素子面の中央部に上記回路基板に直接接合される複数の電極を一行に並べて配置した半導体素子と；を備えている。

【0016】そして、上記半導体素子の素子面に、上記電極を挟んだ両側に位置して、上記回路基板に接する少なくとも一つの支持突起を配置したことを特徴としている。この構成によると、電極を挟んだ両側に位置する支持突起が半導体素子を支える一種の柱となるので、半導体素子を回路基板に実装した際に、この半導体素子の姿勢が安定する。そのため、半導体素子を回路基板に容易にフリップチップ接続することができ、高密度な実装を実現できる。

【0017】

【発明の実施の形態】以下本発明の第1の実施の形態を、図1および図2にもとづいて説明する。図2は、パーソナルコンピュータのような電子機器に搭載される回路モジュール1を示している。この回路モジュール1

は、回路基板2と、この回路基板2に実装されたメモリ一用の半導体素子3とを備えている。

【0018】半導体素子3は、シリコン・ベース4を有している。シリコン・ベース4は、回路基板2と向かい合う平坦な素子面4aを有し、この素子面4aは、四つの角部5a~5dを含む矩形状をなしている。

【0019】図1に示すように、素子面4aの中央部には、多数の電極7が互いに間隔を存して一行に並べて配置されている。このシリコン・ベース4の素子面4aは、上記電極7によって第1の回路エリア8aと第2の回路エリア8bとに区画されており、これら回路エリア8a、8bに、図示しないLSI回路を構成するアルミニウム製の配線が施されている。この配線は、上記電極7に電気的に接続されている。そのため、上記半導体素子3は、LOC構造をなしている。

【0020】表示面4aには、四つの補助電極10a~10dが配置されている。補助電極10a~10dは、上記電極7と同様の形状および大きさを有し、上記配線に電気的に接続されている。これら補助電極10a~10dは、表示面4aの四つの角部5a~5dに配置されており、第1および第2の回路エリア8a、8bへの張り出しが極力少なく抑えられている。

【0021】そのため、第1ないし第4の補助電極10a~10dは、電極7を挟んだ両側に二個づつ振り分けられており、これら補助電極10a~10dは、図1に二点鎖線で示すように、四角形の頂点の位置関係を有して配置されている。

【0022】各電極7には、ボール状の半田バンプ11が形成されている。また、補助電極10a~10dには、支持突起としてのボール状の半田バンプ12が形成されている。これら半田バンプ11、12は、互いに同一の形状および大きさを有している。

【0023】図2に示すように、上記回路基板2は、半導体素子3の実装部分に多数のパッド14を有している。パッド14は、上記半田バンプ11、12に対応するものであり、これらパッド14に半田バンプ11、12が半田付けされている。そのため、半導体素子3は、回路基板2にフリップチップ接続されており、その素子面4aの四つの角部5a~5dの半田ボール12が半導体素子3を支える一種の柱となっている。

【0024】なお、本実施の形態においては、半導体素子3の素子面4aと回路基板2との間に、接着剤15が充填されており、この接着剤15によって半田ボール11、12とパッド14との接続部分が補強されている。

【0025】このような構成によれば、半導体素子3の素子面4aの四つの角部5a~5dに補助電極10a~10dを配置し、これら補助電極10a~10dに半田バンプ12を形成したので、半導体素子3を回路基板2に実装した状態では、半田ボール12が半導体素子3の周辺部を支える柱として機能する。そのため、半導体素

子3は、その素子面4aの中央部の電極7ばかりでなく、素子面4aの周辺部の四箇所において回路基板2に支持されることになる。

【0026】したがって、回路基板2に対する半導体素子3の実装姿勢が安定し、電極7を素子面4aの中央部に一列に並べたLOC構造を採用したにも拘らず、この半導体素子3を回路基板2に容易にフリップチップ接続することができる。

【0027】この結果、従来のパッケージに比べて回路基板2を占有する面積が少なくなり、より高密度な実装が可能となる。また、上記半導体素子3を支える半田バンプ12は、素子面4aの第1ないし第4の角部5a～5dに位置するので、LSI回路の配線が施される第1および第2の回路エリア8a、8bへの張り出しを極力少なく抑えることができる。そのため、第1および第2の回路エリア8a、8bを十分に確保できるといった、本来のLOC構造のメリットが損なわれずに済む。

【0028】さらに、第1ないし第4の補助電極10a～10dは、電極7と同様にシリコン・ベース4の配線に接続されているので、素子面4aの第1ないし第4の角部5a～5dに電極部分を分散して配置できる。そのため、素子面4aの中央部に配置される電極7の数を減らして、その配置間隔を広げることができ、半導体素子3を回路基板2にフリップチップ接続する上での作業性を改善できる。

【0029】なお、本発明は、上記第1の実施の形態に特定されるものではなく、図3に本発明の第2の実施の形態を示す。この第2の実施の形態では、第2および第4の補助電極10b、10dが素子面4aの電極7を挟んだ両側部において、その長手方向の中央部に配置されている。そのため、第1ないし第4の補助電極10a～10dは、図3に二点鎖線で示すように、平行四辺形の頂点に位置するような関係を有して配置されている。

【0030】このような構成においても、素子面4aの周辺部の四箇所で半導体素子3を支えることができ、半導体素子3の姿勢が安定する。また、図4は、本発明の第3の実施の形態を開示している。

【0031】この第3の実施の形態は、素子面4aに第1ないし第3の三つの補助電極10a～10cを配置したものである。第1の補助電極10aは、素子面4aの一側部において、その長手方向の中央部に配置されている。第2および第3の補助電極10b、10cは、第1の補助電極10aとは電極7を挟んだ反対側に位置する第2および第3の角部5b、5cに配置されている。そして、第1ないし第3の補助電極10aは、図4に二点鎖線で示すように、三角形の頂点に位置するような関係を有して配置されている。

【0032】このような構成によると、半導体素子3の素子面4aの周辺部を、三角形の頂点の位置で支えることができ、半導体素子3の姿勢が安定する。図5は、本

発明の第4の実施の形態を開示している。

【0033】この第4の実施の形態では、第1の補助電極10aが素子面4aの第1の角部5aに配置されており、それ以外の構成は上記第3の実施の形態と同様である。この構成においても、半導体素子3の素子面4aの周辺部を、三角形の頂点の位置関係で支えることができ、半導体素子3の姿勢が安定する。

【0034】さらに、図6は、本発明の第5の実施の形態を開示している。この第5の実施の形態は、素子面4aに第1および第2の二つの補助電極10a、10bを配置したものである。第1の補助電極10aは、素子面4aの第1の角部5aに配置され、第2の補助電極10bは、素子面4aの第2の角部5bに配置されている。これら第1および第2の補助電極10a、10bは、素子面4aの長手方向に沿う一端部において、電極7を挟んで互に向かい合っている。そのため、図6に二点鎖線で示すように、第1および第2の補助電極10a、10bと、これら補助電極10a、10bとは反対側の端部に位置する電極7とは、三角形の頂点に位置するような関係を有して配置されている。

【0035】このような構成によると、素子面4aの周辺部の三箇所で半導体素子3を支えることができる。そのため、第1および第2の二つの補助電極10a、10bで半導体素子3を安定して支えることができるとともに、素子面4aの第3および第4の角部5c、5dの隅々まで第1および第2の拡張エリア8a、8bとして利用することができる。

【0036】また、図7は、本発明の第6の実施の形態を開示している。この第6の実施の形態では、第1および第2の補助電極10a、10bが電極7を挟んで対向し合う素子面4aの両側部において、その長手方向の中央部に配置されている。

【0037】この構成によると、第1および第2の補助電極10a、10bと、両端の電極7とが、図7に二点鎖線で示すように四角形の頂点に位置するような関係となり、素子面4aの周辺部の四箇所で半導体素子3を支えることができる。そのため、上記第5の実施の形態と同様に、第1および第2の二つの補助電極10a、10bを付加するだけで、半導体素子3を安定して支えることができる。

【0038】それとともに、素子面4aの第1ないし第4の角部5a～5dの隅々まで第1および第2の拡張エリア8a、8bとして利用することができ、LOC構造の本来のメリットを十分に生かすことができる。

【0039】なお、上記各実施の形態では、電気的な導通機能を有する補助電極に半田バンプを形成したが、上記補助電極を電気的な導通機能を有しない、いわゆるダミー電極とし、これらダミー電極に半田バンプを形成しても良い。

【0040】また、半田バンプの形状もボール状に特定

されず、例えばきのこ状あるいはピン状であっても良い。さらに、上記実施例では、補助電極に半田バンプを形成し、この半田バンプを支持突起として利用したが、本発明はこれに限らず、半田バンプの代わりに補助電極に金、銅、ニッケルあるいは半田のメッキを施すことで、この補助電極上にメッキ層を積層し、このメッキ層を支持突起として利用するようにしても良い。同様に、半導体素子の電極にしても、半田バンプを介して回路基板上のパッドに接合されるものに特定されず、この半田バンプに代えてメッキ層を形成し、このメッキ層を回路

【0041】また、半田バンプの代わりに、電極および補助電極にワイヤボンダを用いて金バンプを形成し、この金バンプを回路基板上的パッドに半田付けするようにしても良い。

【0042】

【発明の効果】以上詳述した本発明によれば、電極を挟んだ両側の支持突起が半導体素子を支える一種の柱として機能するので、この半導体素子の姿勢が安定し、L O C 構造の半導体素子を回路基板に容易にフリップチップ

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体素子の斜視図。

【図2】回路基板に半導体素子を実装した状態を示す回路モジュールの断面図。

【図3】本発明の第2の実施の形態に係る半導体素子の斜視図。

【図4】本発明の第3の実施の形態に係る半導体素子の斜視図。

10 【図5】本発明の第4の実施の形態に係る半導体素子の斜視図。

【図6】本発明の第5の実施の形態に係る半導体素子の斜視図。

【図7】本発明の第6の実施の形態に係る半導体素子の斜視図。

【符号の説明】

1 … 回路モジュール

2 … 回路基板

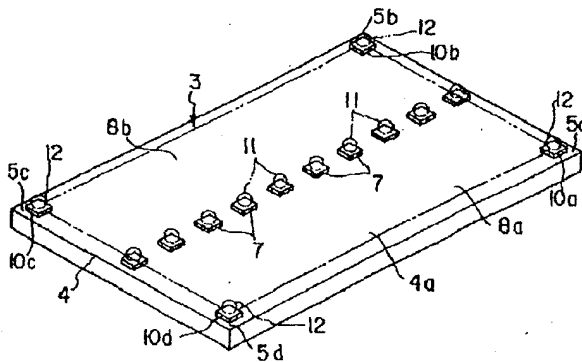
3 … 半導体素子

4 a … 素子面

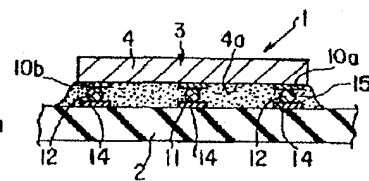
7 … 電極

1 2 … 支持突起（半田バンプ）

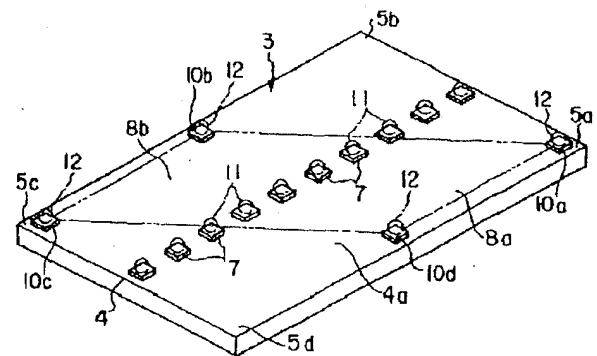
【図1】



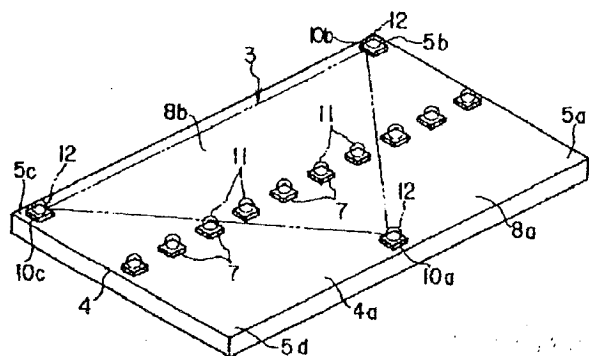
【図2】



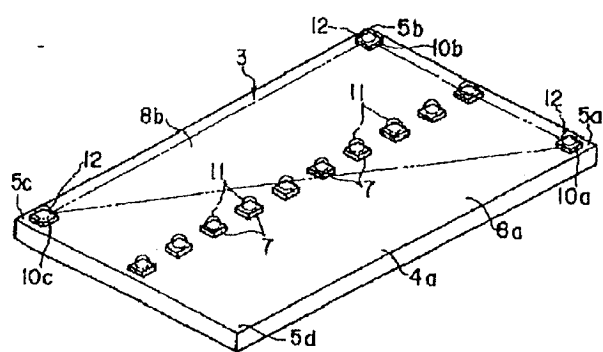
【図3】



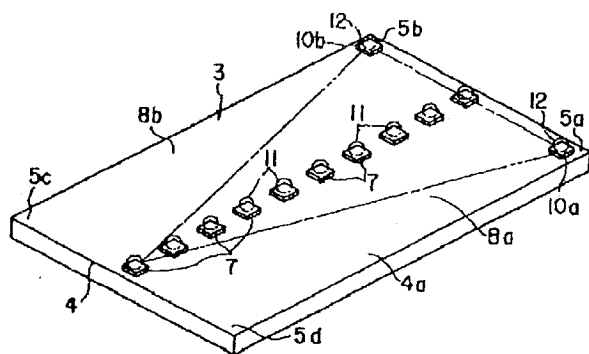
【図 4】



【図 5】



【図 6】



【図 7】

